

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031416

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 10-200753

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.07.1998

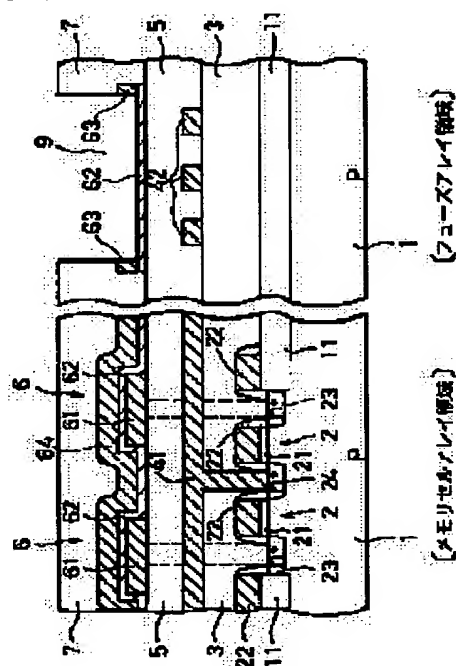
(72)Inventor : YOSHIKAWA SUSUMU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is constituted, in such a way that the thickness of an insulating film left on the bottom of an opening above a fuse array region can be made uniform, so that fuse cutting can be performed stably through a simple process.

SOLUTION: In the memory array region of a silicon substrate 1, MOS transistors 2 constituting memory cells are formed, and on the transistors 2, fuses 42 are formed in a pattern at the same time as the bit lines 41 via an insulating film 3. Then capacitors 6 are formed on the fuses 42 via an insulating film 5, and an etching stopper is patterned in a fuse array region by using a laminated film of a PSTO film 62, which is the insulating film of a capacitor 6 and an Ru film 64 formed on the film 62. The surface of the patterned etching stopper is covered with an insulating film 7, and an opening 9 is formed in the fuse-array area by selectively etching the film 7. Finally, the BSTO film 52 is exposed at the bottom of the opening 9 by removing the Ru film 64 exposed at the bottom of the opening 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31416

(P2000-31416A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷

識別記号

F I

テマコード^{*} (参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

5 F 0 8 3

21/8242

6 2 1 Z

6 5 1

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号

特願平10-200753

(22) 出願日

平成10年7月15日 (1998.7.15)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉川 進

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100092820

弁理士 伊丹 勝

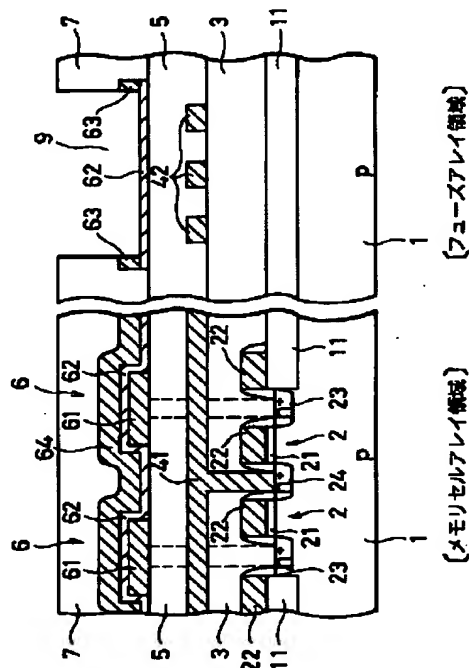
Fターム (参考) 5F083 JA06 JA14 JA43 KA05 MA06
MA18 PR36 ZA10

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 簡単な工程でフューズアレイ領域上の開口底部に残る絶縁膜の膜厚を均一にすることを可能とし、もって安定したフューズ切断を行うことを可能とした半導体装置を提供する。

【解決手段】 シリコン基板1のメモリセルアレイ領域にメモリセルを構成するMOSトランジスタ2を形する。この上に絶縁膜3を介して、ビット線41と同時にフューズ42をパターン形成する。この上に絶縁膜5を介して、キャパシタ6を形成する。キャパシタ6の絶縁膜であるBSTO膜62とその上のRu膜64の積層膜を用いて、フューズアレイ領域にエッチングストッパをパターンニングする。この上を絶縁膜7で覆い、これを選択エッチングしてフューズアレイの領域に開口9を形成する。開口9に露出するRu膜63は除去し、BSTO膜62を露出させる。



【特許請求の範囲】

【請求項 1】 半導体基板と、

この半導体基板上に第 1 の絶縁膜を介して形成されたフューズアレイと、

前記第 1 の絶縁膜上に前記フューズアレイを覆って堆積された第 2 の絶縁膜と、

前記第 2 の絶縁膜上に前記フューズアレイの領域を覆ってパターン形成された高誘電体膜と、

少なくとも前記高誘電体膜の上方に形成され、前記高誘電体膜をエッチングストップとする選択エッチングによって前記フューズアレイの領域上に開けられた開口を有し、且つその開口底部に前記高誘電体膜が露出している第 3 の絶縁膜と、を有することを特徴とする半導体装置。

【請求項 2】 前記高誘電体膜は、チタン、タンタルの少なくとも一方を含む金属酸化物膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体基板に、MOS トランジスタと、前記フューズアレイの領域上に形成された高誘電体膜と同時に形成された高誘電体膜をキャパシタ絶縁膜として用いたキャパシタとから構成されたダイナミック型メモリセルが形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 半導体基板上に第 1 の絶縁膜を介してフューズアレイを形成する工程と、前記第 1 の絶縁膜上に前記フューズアレイを覆う第 2 の絶縁膜を堆積形成する工程と、

前記第 2 の絶縁膜上に前記フューズアレイの領域を覆う高誘電体膜をパターン形成する工程と、

前記高誘電体膜を覆う第 3 の絶縁膜を堆積する工程と、

前記第 3 の絶縁膜を前記高誘電体膜をエッチングストップとして選択エッチングして、前記フューズアレイの領域に開口を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 5】 前記開口を形成する工程において、前記高誘電体膜を開口底部に残すことを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記開口を形成する工程において、オーバーエッチングにより開口底部に残す高誘電体膜の膜厚を減ずることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記開口底部に残された高誘電体膜をエッチング除去する工程を有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 前記高誘電体膜は、チタン、タンタルの少なくとも一方を含む金属酸化物膜であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 9】 前記半導体基板に、MOS トランジスタと、前記フューズアレイの領域上に形成された高誘電体膜と同時に形成された高誘電体膜をキャパシタ絶縁膜と

したキャパシタとから構成されたダイナミック型メモリセルを形成する工程を有することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 10】 半導体基板のメモリセルアレイ領域にダイナミック型メモリセルを構成する MOS トランジスタを形成する工程と、

前記半導体基板上に前記 MOS トランジスタを覆う第 1 の絶縁膜を堆積する工程と、

前記第 1 の絶縁膜上に前記 MOS トランジスタの一方の拡散層に接続される導体配線層を堆積する工程と、

前記導体配線層を選択エッチングしてビット線を形成すると同時に、周辺回路領域にフューズアレイを形成する工程と、

前記第 1 の絶縁膜上に前記ビット線及びフューズアレイを覆う第 2 の絶縁膜を堆積する工程と、

前記第 2 の絶縁膜上に前記 MOS トランジスタの他方の拡散層に接続されるキャパシタノード電極をパターン形成する工程と、

前記第 2 の絶縁膜上に前記キャパシタノード電極を覆う高誘電体膜とプレート電極材料膜を順次堆積する工程と、

前記プレート電極材料膜と高誘電体膜の積層膜を選択エッチングしてメモリセルアレイ領域を覆うプレート電極をパターン形成すると同時に、前記フューズアレイの領域を覆う前記積層膜からなるエッチングストップをパターン形成する工程と、

前記プレート電極及びエッチングストップを覆う第 3 の絶縁膜を堆積形成する工程と、

前記第 3 の絶縁膜を選択エッチングして前記フューズアレイの領域に開口を形成する工程と、

前記開口に露出する前記プレート電極材料膜をエッチング除去して前記高誘電体膜を露出させる工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、フューズアレイを有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】大規模 DRAM においては一般に、不良メモリセルを救済するためにチップ内に冗長セルが用意される。この種の DRAM において、不良メモリセルと冗長セルの置き換えを行うためには、不良アドレスを不揮発に記憶する不良アドレス記憶回路が必要である。不良アドレス記憶回路には通常、フューズアレイが用いられる。フューズアレイには、DRAM チップが完成した後に、テスト結果に応じて不良アドレスを記憶するプログラミングが行われる。

【0003】フューズデータのプログラミングは、レーザ光ビーム照射により選択されたフューズを切断する処理（フューズブロー：Fuse Blow）により行われる。こ

のフューズの切断、非切断が不良アドレスを指示する二値データに対応する。フューズアレイは多結晶シリコン膜やAlSi等の導体配線材料膜により形成され、その上は通常金属配線層を含む厚い絶縁膜で覆われる。従って、フューズブローのためには、フューズアレイを覆う絶縁膜にレーザ光ビーム照射用の窓となる開口を開けることが必要である。通常この絶縁膜の開口形成は、電極パッド取り出しのための開口形成と同時に行われる。

【0004】フューズブローのために絶縁膜を開く場合、フューズ上には一定厚みの絶縁膜を残すことが必要である。フューズアレイを露出させることは信頼性低下の原因となり、また残される絶縁膜のパラツキが大きいと、レーザ光の強さを各フューズ毎に調整しなければならぬためである。絶縁膜のエッチング時間の制御により開口底部に絶縁膜を残す方法では、堆積した絶縁膜の膜厚のパラツキのため、残り膜厚の制御が困難である。絶縁膜を平坦化処理したとしても、薄く且つ均一な膜厚の絶縁膜をエッチング時間の制御のみで残すことは難しい。そのため通常、フューズアレイを覆う絶縁膜を堆積する前に、フューズアレイ領域上に予めエッチングストップパをパターン形成しておくことが行われる。エッチングストップパには例えば、タングステン(W)膜等の金属膜が用いられる。

【0005】

【発明が解決しようとする課題】しかし、W膜をエッチングストップとする従来の方法では、絶縁膜に開口を形成した後、更にエッチングストップを除去するエッチング工程が必要となる。W膜を開口底部に残すと、レーザ光ビームを透過させることができないためである。W膜のエッチングには、H₂O₂等が用いられる。また通常のDRAMでは、フューズアレイを形成した後、メモリセルアレイ領域やフューズアレイ以外の周辺回路領域でW膜が用いられることはない。このため、W膜の堆積やそのパターン形成工程を、メモリセルアレイ領域や周辺回路領域を形成する通常の製造工程に追加しなければならず、全体としてDRAMの製造工程数が増える。

【0006】この発明は、上記事情を考慮してなされたもので、簡単な工程でフューズアレイ領域上の開口底部に残る絶縁膜の膜厚を均一にすることを可能とし、もって安定したフューズ切断を行うことを可能とした半導体装置のその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、この半導体基板上に第1の絶縁膜を介して形成されたフューズアレイと、前記第1の絶縁膜上に前記フューズアレイを覆って堆積された第2の絶縁膜と、前記第2の絶縁膜上に前記フューズアレイの領域を覆ってパターン形成された高誘電体膜と、少なくとも前記高誘電体膜の上方に形成され、前記高誘電体膜をエッチングストップとする選択エッチングによって前記フ

ューズアレイの領域上に開けられた開口を有し、且つその開口底部に前記高誘電体膜が露出している第3の絶縁膜と、を有することを特徴とする。

【0008】前記高誘電体膜は例えば、チタン、タンタルの少なくとも一方を含む金属酸化物膜である。また前記半導体基板には、例えば、MOSトランジスタと、前記フューズアレイの領域上に形成された高誘電体膜と同時に形成された高誘電体膜をキャパシタ絶縁膜として用いたキャパシタとから構成されたダイナミック型メモリセルが形成されているものとする。

【0009】この発明に係る半導体装置の製造方法は、半導体基板上に第1の絶縁膜を介してフューズアレイを形成する工程と、前記第1の絶縁膜上に前記フューズアレイを覆う第2の絶縁膜を堆積形成する工程と、前記第2の絶縁膜上に前記フューズアレイの領域を覆う高誘電体膜をパターン形成する工程と、前記高誘電体膜を覆う第3の絶縁膜を堆積する工程と、前記第3の絶縁膜を前記高誘電体膜をエッチングストップとして選択エッチングして、前記フューズアレイの領域に開口を形成する工程と、を有することを特徴とする。

【0010】前記開口を形成する工程において、高誘電体膜を開口底部に残すことは、工程を簡単化する上で好ましい。また、前記開口を形成する工程において、オーバーエッチングにより開口底部に残す高誘電体膜の膜厚を減ずることもできる。更に前記開口底部に残された高誘電体膜をエッチング除去することもできる。更にこの発明の半導体装置の製造方法は、好ましくは、前記半導体基板に、MOSトランジスタと、前記フューズアレイの領域上に形成された高誘電体膜と同時に形成された高誘電体膜をキャパシタ絶縁膜としたキャパシタとから構成されたダイナミック型メモリセルを形成する工程を有する。

【0011】この発明によると、フューズアレイ上の絶縁膜に開口を形成するためのエッチングストップとして高誘電体膜を用いることにより、簡単な工程でフューズアレイ領域上の開口底部に残る絶縁膜の膜厚を薄く均一なものとすることができる。これにより、安定したフューズブローを行い得る。

【0012】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1～図7は、この発明をDRAMに適用した実施例の製造工程を、メモリセルアレイ領域とフューズアレイ領域の断面について示している。図1に示すように、周知の工程に従ってシリコン基板1に素子分離絶縁膜11を形成し、必要なウェル(図示しない)を形成する。このシリコン基板1のメモリセルアレイ領域に、ゲート絶縁膜21を介してゲート電極22を形成する。ゲート電極22は、紙面に垂直な方向に連続的に配設されて、これがワード線となる。ゲート電極22の側壁には側壁絶縁膜25を形成する。そして、不純

10

20

30

40

50

物のイオン注入を行ってソース、ドレインとなる $n+$ 型拡散層23, 24を形成する。これにより、ダイナミック型メモセルの構成要素であるMOSトランジスタ2が配列形成される。

【0013】フューズアレイ領域は、後にフューズが形成される素子分離絶縁膜11の部分の断面を示している。メモセルアレイ領域のMOSトランジスタ2の形成工程と同時に、フューズアレイ領域の近くにも各フューズに接続される選択駆動用MOSトランジスタが形成されるが、これは図では示していない。

【0014】この後、図2に示すように、層間絶縁膜(第1の絶縁膜)3を堆積し、続いてこの上に導体配線層4を堆積する。層間絶縁膜3は好ましくは平坦化処理を行って表面を平坦にする。層間絶縁膜3は一層のみでもよいし、複数層により構成されたものでもよい。導体配線層4は、絶縁膜3に予め埋め込まれた多結晶シリコン等の埋め込みプラグ43を介してMOSトランジスタの一方の拡散層24に接続される。導体配線層4は例えば、ビット線用の $AlSiCu$ 膜である。この導体配線層4を選択エッチングすることにより、メモセルアレイ領域にはビット線41をパターン形成し、同時にフューズアレイ領域にはフューズ42をパターン形成する。

【0015】続いて、図3に示すように、ビット線41及びフューズ42を覆って、層間絶縁膜(第2の絶縁膜)5を堆積する。この層間絶縁膜5も一層のみ或いは複数層により構成され、好ましくは平坦化される。そしてこの層間絶縁膜5上にキャパシタノード電極61をパターン形成する。キャパシタノード電極61は、予め層間絶縁膜3, 5に埋め込まれた多結晶シリコン等の埋め込みプラグ62を介して、MOSトランジスタ2の他方の拡散層23に接続される。

【0016】次に、図4に示すように、基板全面に、高誘電体膜、例えばBSTO(チタン酸バリウムストロンチウム)膜62、及びプレート電極材料膜であるRu膜63を順次堆積する。そして、Ru膜63を選択エッチングして、メモセルアレイ領域を覆うプレート電極64を形成する。同時に、フューズアレイ領域にはRu膜63とBSTO膜62の積層膜によるエッチングストップ65を、フューズアレイ領域を覆うようにパターン形成する。

【0017】その後、図5に示すように、第3の絶縁膜7を堆積形成する。この絶縁膜7は通常、内部に少なくとも一層の金属配線層が形成された一層以上の層間絶縁膜と最上層のパシベーション膜とを含む厚い多層絶縁膜である。しかし図では、絶縁膜7の内部構造を省略して簡単に示している。

【0018】その後、図6に示すように、フォトレジスト8をパターン形成し、絶縁膜7をエッチングして、各部の電極パッドの取り出し用開口(図示せず)と同時に、フューズアレイ領域にはフューズブロー用の開口9

を形成する。このエッチング工程では、エッチングストップ65が露出するまでエッチングすることにより、厚い絶縁膜7を確実に除去する。最後に、レジスト8を除去し、図7に示すように、開口9の底部に露出したエッチングストップ65のうち、Ru膜63を更にエッチング除去して、BSTO膜62を露出させる。これが最終形状である。

【0019】この実施例によると、フューズブロー用の開口9の底部に残る絶縁膜は、平坦化された層間絶縁膜5である。最上層の厚い絶縁膜7は、エッチングストップ65を利用して完全にエッチング除去するから、絶縁膜7に膜厚のばらつきがあったとしてもフューズブローに影響を与えることはない。BSTO膜62はレーザー光ビームを透過するため、除去する必要がない。従ってこの実施例によると、一定のレーザーパワーによる安定したフューズデータのプログラミングが可能になる。

【0020】またこの実施例によると、キャパシタ絶縁膜に用いられるBSTO膜をフューズアレイ領域の開口形成のためのエッチングストップとして利用していること、更にメモセルアレイ領域でビット線として用いられる導体配線層をフューズとして利用していることから、フューズアレイ領域の開口形成のための工程は簡単になる。即ち、W膜をエッチングストップとして用いる従来法のように、フューズアレイ領域のために格別の工程を付加する必要がない。以上により、DRAM全体の製造工程も簡単になる。

【0021】図7に示すフューズアレイ領域の最終形状では、開口9の底部側壁にRu膜63が埋設されて残っている。これに対して、フューズアレイ領域の最終形状を図8~図10のようにすることもできる。

【0022】図8は、開口9の底部側壁に残るRu膜63を除去した例である。このRu膜63の除去には、溶液エッチングを用いればよい。開口9の底部側壁であっても、金属が最終的に露出した状態で残ることは、隣接し、且つブローしたフューズ同士が短絡する可能性を残すため好ましくない。従って、図8のように、Ru膜63を完全に除去することは好ましい。

【0023】図9は更に、開口9の底部に露出するBSTO膜63までエッチング除去した最終形状を示している。図10は、BSTO膜63が露出した状態から更にオーバーエッチングを行って、その膜厚を薄くした最終形状を示している。BSTO膜62を開口9の底部に残しても、レーザーブローへの悪影響は少なく、従ってBSTO膜62をエッチングせず残すことは工程数を削減する上で有効である。しかし、BSTO膜62を更に薄くするか、完全に除去すれば、一層レーザーブローの効率はよくなる。

【0024】図11は、別の実施例の図6に対応する断面図である。先の実施例では開口9を形成するためのマスクとして、レジスト8を用いたのに対して、この実施

10

20

30

40

50

例ではポリイミド101を用いている。この場合、図12に示すように、開口9の底部のRu膜63を除去し、ポリイミド101を残したまま最終形状とすることができる。図11及び図12に示した実施例の場合にも、図8～図10で説明した実施例と同様の最終形状とすることができる。

【0025】以上の実施例は、DRAMについて、メモリセルアレイ領域とフューズアレイ領域とで一部の膜を共通利用することで、全体の製造工程を簡略化したものであるが、この発明はこれに限られない。例えばDRAM以外にも、フューズアレイを必要とするメモリその他の集積回路にもこの発明を適用することができる。

【0026】図13及び図14は、フューズアレイ領域のみに着目して、他の実施例の製造工程を示している。図13(a)に示すように、シリコン基板201の素子分離絶縁膜202上に、層間絶縁膜202を介してフューズ204を配列形成する。フューズ204の上には更に層間絶縁膜205を堆積する。次に、図13(b)に示すように、層間絶縁膜205上に、フューズ204が配列された領域を覆う高誘電体膜例えばBSTO膜206をエッチングストップとしてパターン形成する。その後、図14(a)に示すように最上層絶縁膜207を形成する。最後に、図14(b)に示すように、マスク208を用いて、絶縁膜207にレーザブロー用に開口209を開ける。

【0027】この実施例の場合、BSTO膜206のみをエッチングストップとして、フューズアレイ領域の開口209を形成している。この実施例によっても、BSTO膜206を残したままとすることで工程は簡単になり、しかもフューズアレイ領域上の絶縁膜厚を均一で且つ薄いものとして、効率的なレーザブローが可能となる。

【0028】図15は、この発明をDRAMに適用した別の実施例の最終構造を、図12に対応させて示している。先の実施例では、ビット線41と同じ配線材料によりフューズ42を形成した。これに対し、この実施例では、メモリセルアレイ領域のゲート電極22と同じ電極材料膜をパターンニングして、素子分離絶縁膜11上にフューズ221を形成している。その他、先の実施例と同様である。

【0029】図16及び図17は、この発明をDRAMに適用した更に別の実施例である。この実施例では、メモリセルアレイ領域のキャパシタ6とビット線41の上下関係を先の実施例とは逆にしている。この場合、フューズアレイ領域では、図15の実施例と同様に、メモリセルアレイ領域のゲート電極22と同じ電極材料をパターン形成して、フューズ221を形成する。キャパシタ6のプレート電極64と同時にエッチングストップ65を形成することは、先の実施例と同様である。その後、図17に示すように、更に層間絶縁膜7を形成し、フューズブロー用の開口9を形成する。

ーズブロー用の開口9を形成する。

【0030】これら図15及び図16、図17の実施例によっても、先の実施例と同様の効果が得られる。

【0031】以上の実施例では、高誘電体膜としてBSTO膜を用いたが、その他STO(チタン酸ストロンチウム)、TaO(タンタルオキシド)等、チタンやタンタルを含む金属酸化物膜を用いることができる。また実施例では、フューズ材料として、AlSiCu膜を用いたが、他の金属導体や多結晶シリコン、金属シリサイド等を用いることができる。

【0032】

【発明の効果】以上述べたようにこの発明によれば、フューズアレイ上の絶縁膜に開口を形成するためのエッチングストップとして高誘電体膜を用いることにより、簡単な工程でフューズアレイ領域上の開口底部に残る絶縁膜の膜厚を薄く均一なものとして、安定したフューズブローを行い得る半導体装置が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例によるDRAMのMOSトランジスタ製造工程を示す断面図である。

【図2】同実施例のビット線及びフューズアレイ形成工程を示す断面図である。

【図3】同実施例のキャパシタノード電極形成工程を示す断面図である。

【図4】同実施例のキャパシタ及びフューズアレイ領域のエッチングストップ形成工程を示す断面図である。

【図5】同実施例の最上層絶縁膜形成工程を示す断面図である。

【図6】同実施例のフューズアレイ領域に開口を形成する工程を示す断面図である。

【図7】同実施例の最終形状を示す断面図である。

【図8】他の実施例のフューズアレイ領域の最終形状を示す断面図である。

【図9】他の実施例のフューズアレイ領域の最終形状を示す断面図である。

【図10】他の実施例のフューズアレイ領域の最終形状を示す断面図である。

【図11】他の実施例の図6に対応する工程の断面図である。

【図12】同実施例の最終形状を示す断面図である。

【図13】他の実施例のフューズアレイ領域の製造工程を示す断面図である。

【図14】同実施例のフューズアレイ領域の製造工程を示す断面図である。

【図15】別の実施例のメモリセルアレイ領域及びフューズアレイ領域の構造を示す断面図である。

【図16】別の実施例のビット線形成工程を示す断面図である。

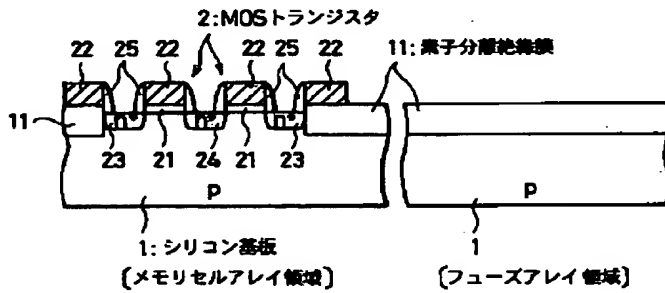
【図17】同実施例の最終形状を示す断面図である。

【符号の説明】

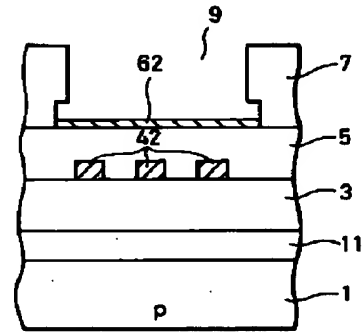
1…シリコン基板、11…素子分離絶縁膜、2…MOS
トランジスタ、3…層間絶縁膜、4…導体配線層、41
…ビット線、42…フューズ、5…絶縁膜、6…キャパ

シタ、61…キャパシタノード電極、62…BSTO
膜、63…Ru膜、64…プレート電極、65…エッチ
ングストップパ、7…絶縁膜、8…レジスト、9…開口。

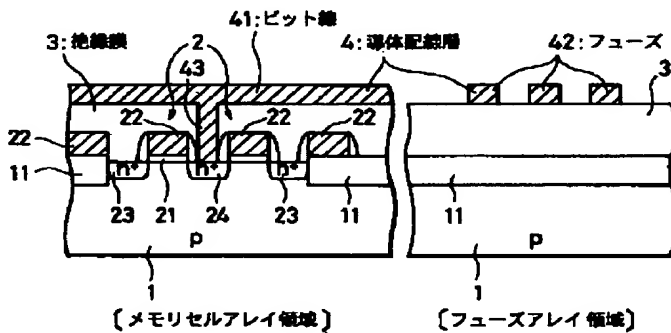
【図1】



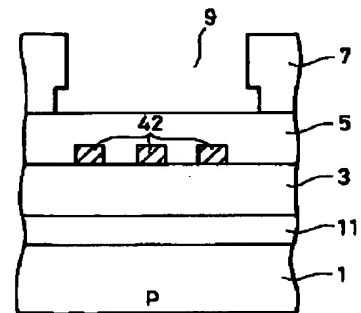
【図8】



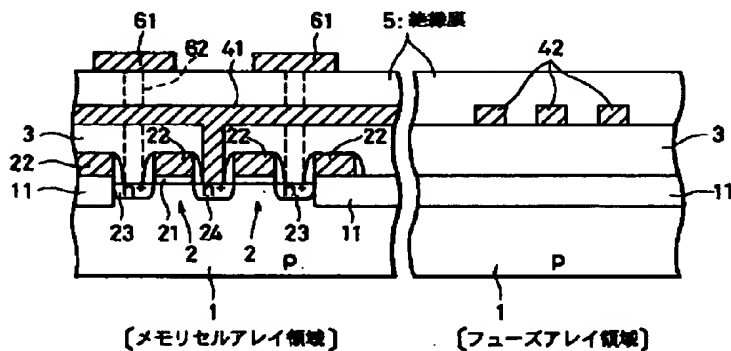
【図2】



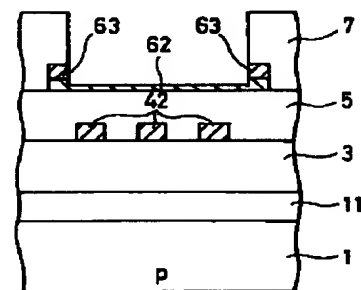
【図9】



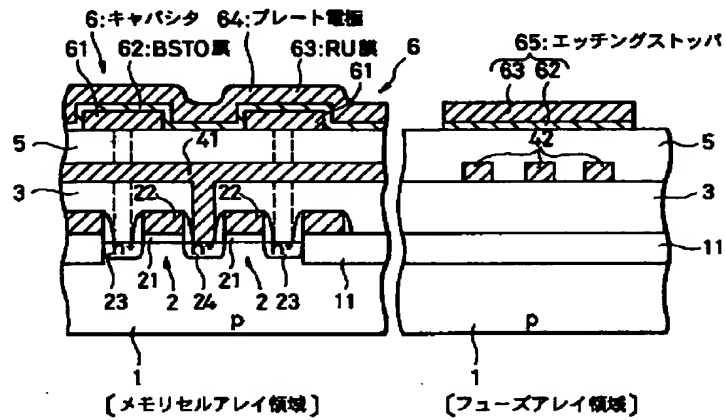
【図3】



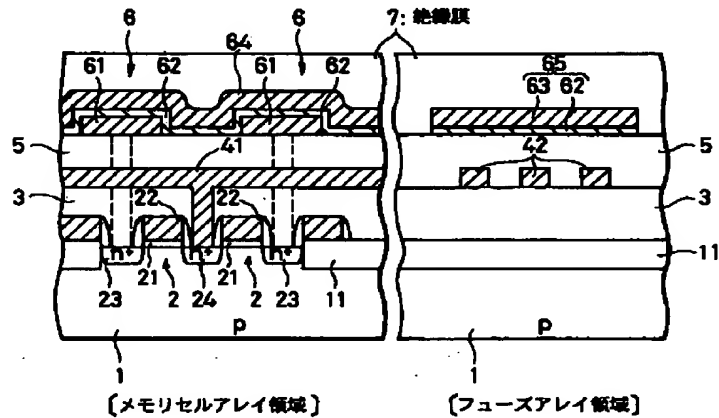
【図10】



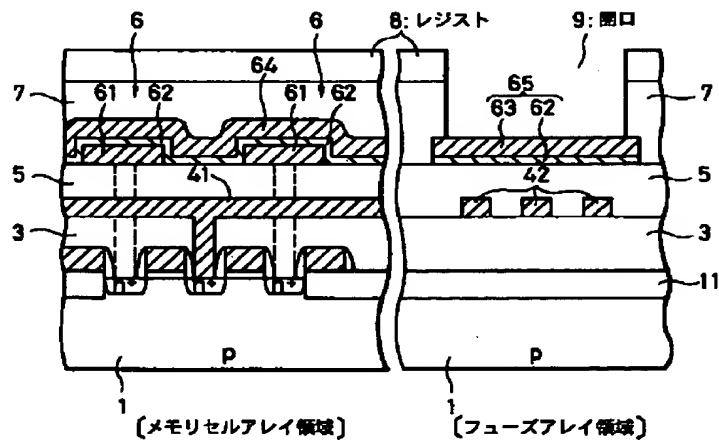
【図4】



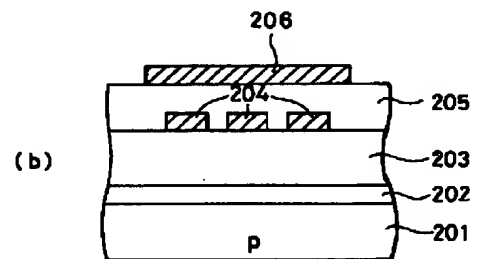
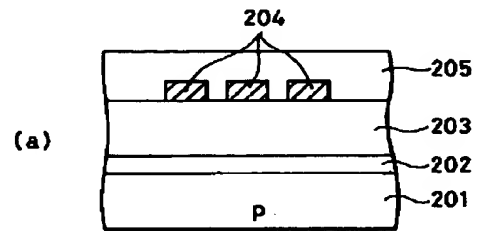
【図5】



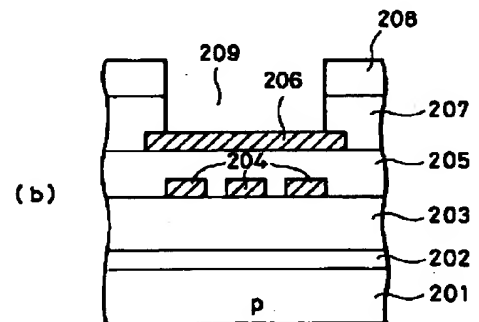
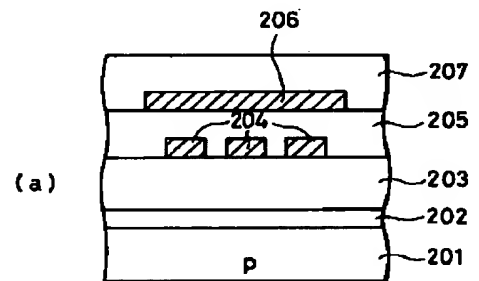
【図6】



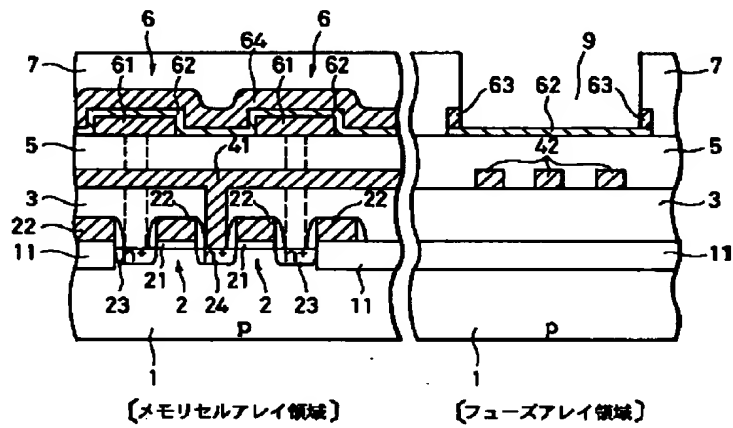
【図13】



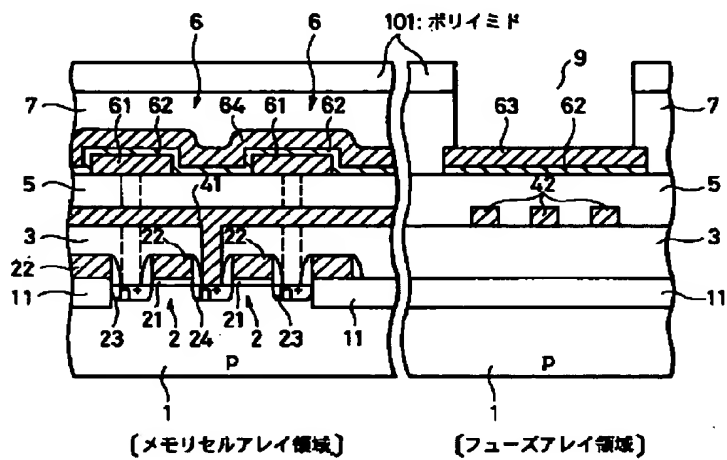
【図14】



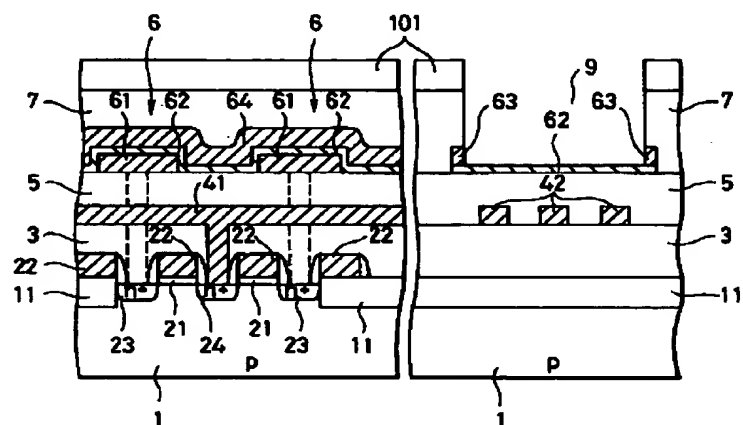
【図 7】



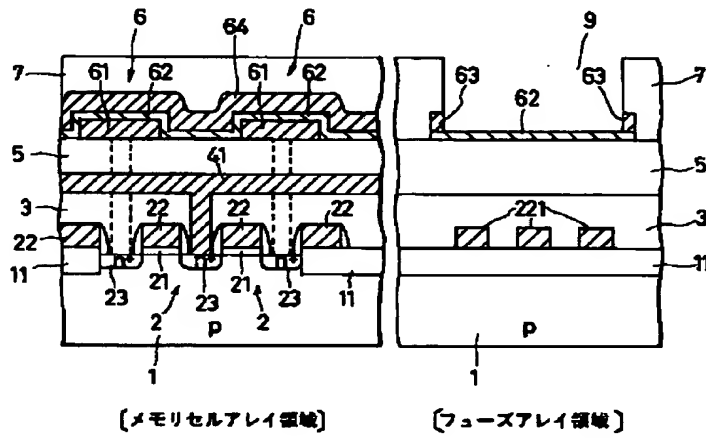
【図 11】



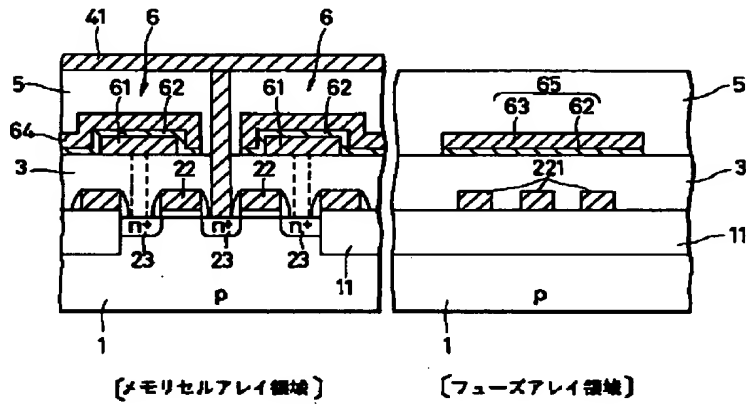
【図 12】



【図15】



【図16】



【図17】

